

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **09-223848**  
 (43)Date of publication of application : **26.08.1997**

(51)Int.CI. **H01S 3/18**  
**H01L 27/00**  
**H01L 31/12**

(21)Application number : **08-029725**

(71)Applicant : **NIPPON TELEGR & TELEPH CORP**  
**<NTT>**

(22)Date of filing : **16.02.1996**

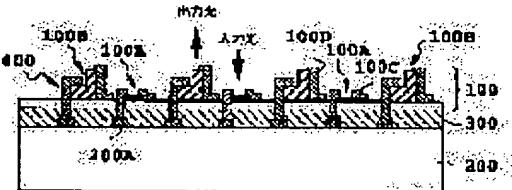
(72)Inventor : **MATSUO SHINJI**  
**NAKAHARA TATSUSHI**  
**KUROKAWA TAKASHI**

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a three-dimensional semiconductor integrated circuit, having high-speed operability and high functionality, by electrically connecting a semiconductor element, integrated on a semiconductor board, and one or more semiconductor elements, placed on an insulating layer, through windows formed in the insulating layer.

**SOLUTION:** Windows are formed in an insulating layer 300, and a lightreceiving element 100A and a plane luminous element 100B are connected with metal traces 200A on an integrated circuit board 200 through the windows using traces 400. At this time, using the insulating layer 300 as an adhesive layer facilitates the threedimensional arrangement of semiconductor elements. Since the adhesive layer is non-conductive, it is possible to easily form traces on the adhesive layer, and thus to provide the elements placed in the integrated circuit with required traces. This obtains an optical array switch with a high extinction ratio and a simple optical system, having high-speed responsivity.



## LEGAL STATUS

[Date of request for examination]	22.12.1998
[Date of sending the examiner's decision of rejection]	13.04.2001
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3236774
[Date of registration]	28.09.2001
[Number of appeal against examiner's decision of rejection]	2001-07939
[Date of requesting appeal against examiner's decision of	14.05.2001

rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-223848

(43)公開日 平成9年(1997)8月26日

(51)Int.Cl <sup>6</sup> H01S 3/18 H01L 27/00 31/12	識別記号 301	序内整理番号 P I H01S 3/18 H01L 27/00 31/12	技術表示箇所 J
---	-------------	---	-------------

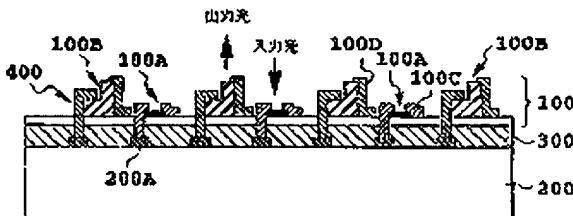
審査請求 未請求 請求項の数8 O.L (全10頁)

(21)出願番号 特願平8-29725	(71)出願人 000004226 日本電信電話株式会社 東京都新宿区西新宿三丁目19番2号
(22)出願日 平成8年(1996)2月16日	(72)発明者 松尾 慶治 東京都新宿区西新宿三丁目19番2号 日本 電信電話株式会社内
	(72)発明者 中原 達志 東京都新宿区西新宿三丁目19番2号 日本 電信電話株式会社内
	(72)発明者 黒川 陸志 東京都新宿区西新宿三丁目19番2号 日本 電信電話株式会社内
	(74)代理人 弁理士 谷 義一 (外1名)

(54)【発明の名称】 半導体集積回路

## (57)【要約】

【課題】 3次元半導体集積回路を実現する。  
 【解決手段】 半導体集積回路は、半導体素子が一方の  
 主面上に集積化された半導体基板と、この基板上に配置  
 された絶縁層と、絶縁層上に配置された一つ以上の半導  
 体素子と、絶縁層に形成された窓を通り、半導体基板上  
 に集積化された半導体素子と絶縁層上に配置された一つ  
 以上の半導体素子とを電気的に接続する配線を有する。



(2)

特開平9-223848

2

## 【特許請求の範囲】

【請求項1】 半導体素子が一方の主面上に集積化された半導体基板と、該基板上に配置された絶縁層と、該絶縁層上に配置された一つ以上の半導体素子と、前記絶縁層に形成された窓を通り、前記半導体基板上に集積化された半導体素子と前記絶縁層上に配置された一つ以上の半導体素子とを電気的に接続する配線を有することを特徴とする半導体集積回路。

【請求項2】 前記絶縁層が、加熱処理により硬化した有機材料であることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】 前記絶縁層中に、前記半導体基板に接し前記絶縁層に等しい厚さを持つ金属層を有することを特徴とする請求項1または2に記載の半導体集積回路。

【請求項4】 前記半導体基板上に集積化された半導体素子が電気素子であり、前記一つ以上の半導体素子が、受光素子と垂直共振器型面発光レーザとからなり、前記受光素子で発生した信号電流を前記電気素子で処理して発生した電流を前記垂直共振器型面発光レーザに供給できるよう前記配線が配置されていることを特徴とする請求項1から3のいずれかに記載の半導体集積回路。

【請求項5】 前記半導体基板上に集積化された半導体素子が電気素子であり、前記一つ以上の半導体素子が、受光素子、垂直共振器型面発光レーザおよび他の電気素子からなり、前記受光素子で発生した信号電流を前記他の電気素子および前記電気素子で処理して発生した電流を前記垂直共振器型面発光レーザに供給できるよう前記配線が配置されていることを特徴とする請求項1から3のいずれかに記載の半導体集積回路。

【請求項6】 前記他の電気素子が電界効果トランジスタであることを特徴とする請求項5に記載の半導体集積回路。

【請求項7】 前記受光素子と前記垂直共振器型面発光レーザおよび前記電気素子からなる光スイッチが前記一方の主面上に、周期的に複数個配置されていることを特徴とする請求項4に記載の半導体集積回路。

【請求項8】 前記受光素子、前記垂直共振器型面発光レーザ、前記他の電気素子および前記電気素子からなる光スイッチが前記一方の主面上に、周期的に複数個配置されていることを特徴とする請求項5または6に記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体集積回路に関するものである。

## 【0002】

【従来の技術】 半導体素子の3次元集積化は半導体集積

光スイッチアレイは光信号処理や光情報処理のキーデバイスとしてその開発が非常に望まれている。従来この種の素子としては、例えば文献「IEEE PHOTONICS TECHNOLOGY LETTERS 7巻、360頁(1995)」に見られるように、シリコン集積回路基板上に多重層子井戸型p-i-nダイオードを半田バンプにより実装し、多層層子井戸型p-i-nダイオードを受光素子あるいは光変調器として用いて光の入出を行い、論理機能をシリコン集積回路に行わせる「ハイブリッド・シード(H-SHEED)」と呼ばれる素子が提案されている。この素子では、入力用多層層子井戸型p-i-nダイオードに入射した入力光信号を電気信号に変換して、シリコン集積回路基板に伝達し電気的に処理した後に、出力用多層層子井戸型p-i-nダイオードにかかる電圧を制御する。このとき、出力用多層層子井戸型p-i-nダイオードでは電圧変化に応じた電子閉じ込めシタルク効果により、一定強度でバイアスされた光の反射強度を制御することができる。その構成を図12に、特性を図13に示す。

【0003】 図12(a)に示すように、エピタキシャル基板10には、p-GaAs基板11上に、p-AlGaAs層12、n-MQW層13およびn-AlGaAs層14を順次積層し、Beイオン注入層15および反射層としてのTi/Au膜16を形成した光変調部が構成される。n側およびp側の電極は同一平面上にあり、Beイオン注入層15およびTi/Au膜16上に半田17が形成されている。一方、表面にCMOSが形成されているシリコン集積回路基板20の表面には濡れ性を改善するためのAl/Ti/Pt/Au膜21が形成され、その上に半田17が設けられている。この二つの基板を図12(b)に示すように、半田バンプにより接合して光変調器はシリコン集積回路基板に実装される。接合後、接合部の周囲はエポキシ樹脂18によって充填され、次いで、GaAs基板が除去される。エポキシ樹脂はその後除去することができる。最後に、図12(c)に示すように、反射防止コーティング19を施して、シリコンCMOSと集積化された光変調器が得られる。この従来例は、2入力2出力スイッチ機能を持っている。

【0004】 図13はこのようにして作成されたハイブリッド・シード素子におけるゲート-ソース間電圧と反射率の関係を示す。CMOSのゲート-ソース間電圧の制御によってスイッチング動作が可能である。

## 【0005】

【発明が解決しようとする課題】 ところが、前述した光スイッチアレイには、以下のようないくつかの問題点があった。

【0006】 第1に、光変調部として多層層子井戸型p-i-nダイオードを用いているために消光比が低く、かつ損失が大きい。

(3)

特開平9-223848

3

【0008】第3に、光変調部の動作電圧が10V程度と大きるために、応答速度が遅い。

【0009】第4に、電子閉じ込めシタルク効果を用いた変調器は動作波長が数nmに制限され、さらにシリコン集積回路からの発熱により変調器の動作波長が変動するため、バイアス光の光源への波長の制限が厳しく、さらに、電子を一定温度に制御する必要がある。

【0010】一方、前述した従来電子のような半田バンプによる電子素子と光素子の3次元構造の構成方法には以下のような問題がある。

【0011】すなわち、例えば受光器と面発光レーザのような異なる構造を有する光素子を同時にシリコン集積回路上に配置しようとすると、それぞれの光素子が異なる構造を有するため、それらを同一基板上に形成することは困難になり、従って、それぞれの素子を別個に半田バンプによってシリコン集積回路に配置する必要がある。この様な個別搭載には次のような困難が伴う。

【0012】第1に半田バンプを複数回行わなければならぬので工程が複雑化する。

【0013】第2に、光スイッチアレイでは各光素子の相対位置は、予め決められている入出射光の位置関係に一致しなければならないが、半田バンプを個々の光素子毎に行うことにより個々の光素子間の相対位置を正確に定めることは困難である。従って、各光素子の位置関係を入出射光の位置関係に一致させることは困難である。

【0014】本発明の目的は、従来の光スイッチアレイにあった上記問題点を解決すること、および半田バンプによる3次元構造の問題点を解決した3次元半導体集積回路を実現すること、消光比が大きく、光学系が簡単で、高速な応答速度を有し、動作マージンの大きい光スイッチアレイを実現することにある。

【0015】

【課題を解決するための手段】本発明による半導体集積回路は、半導体素子が一方の主面上に集積化された半導体基板と、該基板上に配置された絶縁層と、該絶縁層上に配置された一つ以上の半導体素子と、前記絶縁層に形成された窓を通り、前記半導体基板上に集積化された半導体素子と前記絶縁層上に配置された一つ以上の半導体素子とを電気的に接続する配線を有することを特徴とする。

【0016】ここで、前記絶縁層が、加熱処理により硬化した有機材料であることが好ましく、前記絶縁層中に、前記半導体基板に接し前記絶縁層に等しい厚さを持つ金属層を有することが好ましい。

【0017】ここで、前記半導体基板上に集積化された半導体素子が電子素子であり、前記一つ以上の半導体素子が、受光素子と垂直共振器型面発光レーザとからなり、前記受光素子で発生した信号電流を前記電子素子で

(3)

4

しい。

【0018】さらに、前記半導体基板上に集積化された半導体素子が電子素子であり、前記一つ以上の半導体素子が、受光素子、垂直共振器型面発光レーザおよび他の電子素子からなり、前記受光素子で発生した信号電流を前記他の電子素子および前記電子素子で処理して発生した電流を前記垂直共振器型面発光レーザに供給できるよう前記配線が配置されている前記絶縁層中に、前記半導体基板に接し前記絶縁層に等しい厚さを持つ金属層を有すると良い。ここで、前記電子素子が電界効果トランジスタであることが好ましい。

【0019】前記受光素子と前記垂直共振器型面発光レーザおよび前記電子素子からなる光スイッチが前記一方の主面上に、周期的に複数個配置されていることが好ましく、または、前記受光素子、前記垂直共振器型面発光レーザ、前記他の電子素子および前記電子素子からなる光スイッチが前記一方の主面上に、周期的に複数個配置されていることが好ましい。

【0020】

【発明の実施の形態】図1に、本発明による素子の一実施形態を示す。MOSFET、トランジスタ、ダイオード等の半導体素子が一面上に集積化された集積回路基板200上に、絶縁層300を介して光入出力基板100が一体化されている。この光入出力基板100には複数の受光素子100Aと垂直共振器型面発光レーザ（以下、面発光レーザと記す）100Bが配置されている。絶縁層300には窓が設けられ、受光素子100Aおよび面発光素子100Bはこの窓を通して配線400により集積回路基板200の金属配線200Aと接続されている。100Cおよび100Dはそれぞれ受光素子100Aおよび面発光素子100Bの配線である。この素子は、受光素子100Aが入力した光を電気信号に変換し、その電気信号を集積回路基板200に集積されている半導体素子で増幅、スイッチング等の処理を行い、処理結果を電流出力として面発光レーザ100Bに伝達し、その動作を制御することができる。

【0021】図2にこの素子の動作特性を示す。図2の例では、入力信号を同期、増幅および波形整形した結果を示している。本発明の素子の場合、集積回路基板の処理機能により様々な処理が可能となり、この例のほかに2×2のスイッチングや種々の演算処理、画像処理などが挙げられる。

【0022】本発明による光スイッチアレイでは、光変調部として垂直共振器型面発光レーザを用いているため、バイアス光が必要なく、高コントラストが得られるため、光学系が簡単になる。また、動作電圧も3V程度で充分なので、高速動作が実現できる。加えて、本発明の素子を多段に構成し、前段からの出力光を入力光とす

(4)

特開平9-223848

5

きに対して非常に敏感であり、制御が難しいが、受光部としてp-nダイオード、MSMフォトダイオード等を用いれば、100 nm以上の広範囲な波長ではほぼ均一な光感度を得られるため、前段の面発光レーザの発振波長に制限がなくなり、多段化に有利であるという特徴も持つ。

【0023】以上のような光スイッチアレイを製造しようとすると、垂直共振器型面発光レーザと受光器の層構造が異なるため、一枚の基板上に同時に形成することができないので、上述したように半田バンプ技術が使用できない。この問題を解決するために、本発明は、半導体素子が一方の主面上に集積化された半導体基板上に、絶縁層を介して垂直共振器等の半導体素子を配置し、さらに、この絶縁層に形成された窓を通して半導体基板上に集積化された半導体素子と絶縁層上に配置された垂直共振器等の間に配線を施している。

【0024】絶縁層としてはポリイミドやSiO<sub>2</sub>等があるが、いずれも適切な工程により、半導体同士を貼り合わせる能力を有する。従って、これらの絶縁層を接着層として用いることにより、半導体素子の立体配線が容易となる。さらに、絶縁性であるためにこの接着層の上には容易に配線が可能になり、従って、集積回路に配置された素子に必要な配線を施すことができる。例えば、一枚の基板上にレーザのための層構造と受光器のための層構造を積層し、これを絶縁性の接着層により半導体集積回路に貼り合わせると、図1のようにエッチングにより各層構造を必要に応じて露出させた後、必要な配線が容易にできる。

【0025】

【実施例】

実施例1 光入出力基板の成長面を集積回路基板側に向けて接着した場合

本発明を光スイッチアレイに適用した第1の具体例を図3および図4に示す。

【0026】図3は活性層にGaAs/AIGaAs多量子井戸を用いた場合の光入出力基板の断面図である。半絶縁性GaAs基板101上に、選択エッチング用AlAs層102、n'-GaAsコンタクト層103、n-DBR(Distributed Bragg Reflector)層104、活性層105、p-DBR層106およびi-GaAs光吸収層107を、順次分子線エピタキシャル成長法により形成した。p型およびn型ドーパントにはそれぞれBeおよびSiを用いた。ここで、n-DBR層はn-AlAs(71.5 nm)/n-Al<sub>0.8</sub>Ge<sub>0.2</sub>As(62.9 nm)を交互に25周期積層した構造からなり、p-DBR層はp-AlAs(71.5 nm)/p-Al<sub>0.8</sub>Ge<sub>0.2</sub>As(62.9 nm)を交互に30周期積層した構造からなる。

10

(i) Eをシリコン集積回路基板200の半導体素子が集積されている主面側に向けて接着剤301で接着する。この場合、両方の基板の接着面にそれぞれスピンドルコートにより接着剤としてポリイミドを塗布し気泡が入らないようする。その後、両基板を貼り合わせ、荷重をかけながら高温で熱処理して硬化させる。貼り合わせの手順は、まず150°C程度の温度で仮接着を行い、ここでGaAs基板101を1チップ程度の大きさに分割する。その後350°Cで最終硬化させる。これは2インチ以上の大きな基板になった場合、シリコンとGaAsの熱膨張係数の違いにより基板が反り割れるのを防ぐためである。この際、集積回路基板200上に電気接続および冷却用の厚い金属膜200Aを作製した場合、金属膜200A部分は、光入出力基板100との間にいったポリイミド300が接着時に荷重をかけることによって押し出され、その結果、図4(b)に示すように、光入出力基板100と直接接触するようになる。

【0028】その後、GaAs基板101を厚さ50 μm程度まで研磨し、PA30溶液(H<sub>2</sub>O<sub>2</sub>:NH<sub>3</sub>OH=30:1)によりGaAs基板101のみを選択的にエッチングし、AlAs層102でエッチングを止める。次に、塩酸によりAlAs層102のみを選択的にエッチングし、図4(c)のようにn'-GaAsコンタクト層103が表面に露出した状態にする。図4(c')はこの状態での成長層を示す拡大図である。

【0029】次に、図4(d)に示すように光入出力基板を加工し、面発光レーザ100BとSMSフォトディテクタ100Aを形成する。図4(d')は面発光レーザ部の拡大図である。面発光レーザのp型電極110としてはAuZnNiを、n型電極111としてはAuGeNiを用い、フォトディテクタのシャットキ電極112としてはTi/Pt/Auを用いたその後、図4(e)に示すように、光入出力基板100の両基板間の電気配線を行う部分にエッチングにより金属膜200Aが露出するまでスルーホールを開ける。SMSフォトディテクタ部分も区画する。

【0030】そして、素子間配線用金属400を鍍金によって形成し、また配線113を施して図4(f)に示す構造を得る。

【0031】従来例のように、半田バンプを用いる場合は、電極は必ずレーザおよび受光器を積層した基板の表面に形成しなければならないので、どちらか一方の素子への電極の形成が困難になる。例えば、図3のような積層構造を用いると、p-DBR層106と活性層105とり-DBR層104となるレーザ構造への電極形成が困難である。しかし、本発明の構造ではこのような問題は生じない。集積回路基板200上の厚い金属膜200Aは両基板間の電気接続の際の段差を減らす効果

(5)

特開平9-223848

7

8

通して取り除く効果がある。

【0032】実際に1ピクセル内にMSM-PD, MESFET 3個、および面発光レーザを有する  $8 \times 8 = 64$  ピクセルの2次元アレイを作製し、850 nm 波長帯で、0.1 mW, 2000 MHz の入力光をMSD-PD に入力し 1 mW の出力光が面発光レーザから出射する動作が全ピクセルで並列になされることが確認された。

【0033】また、集積回路内の一の処理単位（セル）ごとに面発光レーザ、受光素子は一つに限られたものではなく、複数の入出力素子があつてもよい。

【0034】本実施例では、素子間配線用金属の形成に鍍金を用いたが、これに限るものではなく、例えばタンクステン等を用いて選択成長により段差を埋めてもよい。また、両基板の貼り合わせにはポリイミドを用いているが、これに限られるものではなく、エポキシ系などの各種接着剤を用いてもよく、S:O<sub>2</sub>などの誘導体同士の接着なども可能である。

【0035】なお、光入出力基板を、半絶縁性 GaAs 基板 101 上に、選択エッチング用 AlAs 層、p' - GaAs コンタクト層、p - DBR 層、i - GaAs / AlGaAs 活性層、n - DBR 層および i - GaAs 光吸收層の順に積層し、面発光レーザの DBR 層の p、n の極性を入れ換えてよい。この場合は、p - DBR 層は 25 周期積層し、n - DBR 層は 30 周期積層した構造とする。これは、集積回路基板側の DBR ミラーの反射率を出射側の DBR ミラーの反射率よりも高く設定することによって、高い効率で出射側に出力光が得られるようにするためである。このことは以下の実施例でも同様である。

【0036】実施例2 光入出力基板の成長面を集積回路基板側と反対にして接着した場合

（その1）基板接着後に光入出力基板をプロセスする場合

本発明を光スイッチアレイに適用した第2の具体例を図5から図7に示す。

【0037】図5は活性層に GaAs / AlGaAs 多重量子井戸を用いた場合の光入出力基板の断面図である。半絶縁性 GaAs 基板 101 上に、選択エッチング用 AlAs 層 102, i - GaAs 光吸收層 107, p - DBR 層 106, i - GaAs / AlGaAs 活性層 105, n - DBR 層 104、および n' - GaAs コンタクト層 103 を、順次分子線エピタキシャル成長法により形成した。先の実施例1とは受光素子構成層と発光素子構成層の積層順序が逆になっている。ここで、実施例1と同様に、n - DBR 層は 30 周期積層した構造からなり、p - DBR 層は 25 周期積層した構造からなる。

【0038】図6に光スイッチの作成法を示す。まず、

り貼り付ける。

【0039】次いで、図6 (b) に示すように、GaAs 基板 101 を厚さ 50 μm 程度まで研磨した後、クエン酸溶液により GaAs 基板のみをエッチングし、AlAs 層 102 でエッチングを止める。次に、塩酸により AlAs 層 102 のみを選択的にエッチングする。

【0040】次に、図6 (c) の様に、ポリイミド 300 により集積回路基板 200 との貼り合わせを行う。また、100°C 程度でペーリングを行ってポリイミドを硬化させる。

【0041】このとき、石英板 400 と光入出力基板 100 の間にあったワックスは熱によって溶けるので、図6 (d) に示すように、集積回路基板 200 と光入出力基板の成長層 100E を一緒に石英板から取り外す。その後、300°C 程度の高温でポリイミドを最終硬化させる。この状態は実施例1の図4 (c) と同じ状態であり、以後は実施例1と同様にして素子が作製できる。

【0042】この場合、選択エッチングで i - GaAs 光吸收層を露出する必要はなく、半絶縁性 GaAs 基板 101 が残ったままで集積回路基板 200 に貼り付けてよい。この例を図7に示す。

【0043】（その2）光入出力基板をプロセス後に接着する場合

本発明を適用した光スイッチアレイの第3の具体例を図8に示す。光入出力基板は図5に示した第2の具体例と同様である。

【0044】図8に光スイッチの作成法を示す。まず、面発光レーザ 100B、MSM フォトダイオード 100A を半絶縁性 GaAs 基板 101 を処理することなしにプロセスした後、図8 (a) に示すように、平坦な石英板 400 とプロセスした面を向い合わせてワックス 500 により貼り合わせる。図8 (a') は光入出力基板の拡大図である。

【0045】次に、図8 (b) に示すように、GaAs 基板を厚さ 50 μm 程度まで研磨し、次いで PA300 溶液により GaAs 基板のみをエッチングし、AlAs 層でエッチングを止め、さらに、塩酸により AlAs 層のみを選択的にエッチングする。

【0046】次に、図8 (c) に示すように、両方の基板にポリイミド 300 を塗布した後、赤外線カメラ (CCD カメラ) を用いて集積回路基板 200 と光入出力基板 100 の回路パターンをモニタしながら、微動台 600 を用いて両基板の位置合わせを行い、貼り合わせる。

【0047】次に、（その1）の場合と同様に、100°C 程度でポリイミドを硬化させ、同時に石英板から両基板を取り外した後、300°C まで昇温することによりポリイミド 300 を最終的に硬化させ、図8 (d) に示した構造を得る。この状態は、図4 (c) と同様の状態で

(6)

特開平9-223848

9

ッティングで、 $n^-$ -GaAs光吸収層を露出する必要はなく、半絶縁性GaAs基板101が残ったままで集積回路基板200に貼り付けてよい。

【0049】実施例3 光入出力基板にも電気回路を形成した場合

これまでの実施例では光入出力基板100には面発光レーザとフォトディテクタが構成されていたが、光入出力基板100にFETなどの電気回路を構成することも可能である。ここでは、第1の具体例と同様の方法で光スイッチを構成する例を述べる。FETは下記の説明のようにエピタキシャル成長によって構成することも、またイオン注入によって構成することも可能である。

【0050】図9は活性層にGaAs/A<sub>1</sub>GaAs多重量子井戸を用いた場合の光入出力基板の断面図である。

【0051】半絶縁性GaAs基板101上に、選択エッチング用AlAs層102、 $p^+$ -GaAsコンタクト層120、p-DBR層106、i-GaAs/A<sub>1</sub>GaAs活性層105、n-DBR層104、選択エッチング層としてn- $InGaP$ 層121(10nm)、FET用コンタクト層としてn<sup>-</sup>-GaAs層122(0.4μm)、FETチャネル層としてn<sup>-</sup>-GaAsチャネル層123(0.2μm)および、 $n^-$ -GaAs光吸収層107(2μm)を、順次分子線エピタキシャル成長法により形成した。 $p$ 型および $n$ 型ドーパントにはそれぞれBeおよびSiを用いた。ここで、p-DBR層はp-AlAs(71.5nm)/p-Al<sub>0.5</sub>Ga<sub>0.5</sub>As(62.9nm)を交互に25周期積層した構造からなり、n-DBR層はn-AlAs(71.5nm)/n-Al<sub>0.5</sub>Ga<sub>0.5</sub>As(62.9nm)を交互に30周期積層した構造からなる。

【0052】これを図10(a)に示すように加工して光スイッチを作製する。

【0053】まず、図10(a)に示すように、第1の実施例と同様にして、集積回路基板200上にポリイミド300を用いて光入出力基板100を接着し、その後、研磨とエッチングによりエピタキシャル成長層100Eだけを残す。図10(a')は成長層の拡大断面図である。

【0054】次に、図10(b)に示すように、面発光レーザ部100Bのメサエッチングを行う。図10(b')は面発光レーザ部の拡大断面図である。このとき、選択エッチングによってメサ深さは $InGaP$ 層121までに達する。

【0055】FETのプロセスは、図10(c)に示すように、 $InGaP$ 層121をエッチングした後、FET100Fのメサエッチングを $n^-$ -GaAs光吸収層107まで行う。次に、n<sup>-</sup>-GaAsコンタクト層12

10

その後、ゲート電極125を作成する。このとき、同時にMSMフォトディテクタ100Aの電極も形成する。

【0056】最後に図10(d)に示すように、集積回路基板200との電気配線400を施す。

【0057】このように、光入出力基板にも電気回路を構成した場合は、S<sub>1</sub>に比べて大きなゲインを持つFETが作成でき、集積回路の方では小さな電圧振幅のみで面発光レーザを駆動できることになり、集積回路基板の負担を軽減でき、より高遠な応答が可能となる。

【0058】これまでの具体例では受光素子としてMSMフォトダイオードを用いた例を説明したが、これ以外にも受光部としてはp+i型フォトダイオード、フォトコンダクタ等を用いても半発明の素子を構成できる。

【0059】実施例4

p+i型フォトダイオードを用いて作成した例を図11に示す。p+i型フォトダイオード100Gは、図示されるように、n-GaAs層131、 $n^-$ -GaAs光吸収層107、p-GaAs層130から構成され、絶縁膜132を介してポリイミド300によって集積回路基板200に接着され、かつ配線400によって電気的に接続される。面発光レーザ100Bの構成はすでに説明したとおりである。この場合、MSMフォトダイオードの場合と異なり、導電層を受光部にも含むため、各受光部を分離する必要があることと、集積回路基板200と光入出力基板100とを接着する際に光入出力基板100の接着する面に絶縁膜132を蒸着していることが、これまでの具体例と異なっている。

【0060】これまで説明した具体例では、GaAs/A<sub>1</sub>GaAsで光スイッチを構成したが、これに限るものではなく、InGaAs/InP、InAlAs/ $InGaAs$ 等の他の材料系も用いることができる。集積回路基板もシリコンのほかに、GaAs、InP等使用できることは言うまでもない。

【0061】また、以上の実施例では、光スイッチアレイについてのみ記載したが、光スイッチアレイ以外の他の3次元集積回路の構成にも本発明が有効であることは明らかである。なお、本発明は、ポリイミド等の絶縁膜上に集積化される素子がそれぞれ異なる層構造を有しない場合にも、各素子を分離できるので、素子間の電気的分離(アイソレーション)が容易になるという利点がある。

【0062】

【発明の効果】以上説明したように、本発明による光スイッチアレイは、集積回路基板の持つ高速、高機能性と、光入出力基板の持つ高並列、高遠性を台わせ持つという特長を待っている。これらの素子を多段に光により接続することにより、将来の光情報処理素子、LSIの

(7)

特開平9-223848

11

【0063】また、本発明によると、異なる層構造を有する半導体素子からなる3次元半導体集積回路の形成が可能になる。さらに、素子間のアイソレーションに優れた3次元半導体集積回路の提供も可能になる。

【図面の簡単な説明】

【図1】本発明による素子の断面構造を示す図である。

【図2】本発明の素子の特性を示す図である。

【図3】光入出力基板の一例の断面図である。

【図4】第1の実施例の光スイッチの作製法を示す図である。

【図5】光入出力基板の他の例の断面図である。

【図6】第2の実施例の光スイッチの作製法を示す図である。

【図7】選択エッチングを用いない場合の実施例の断面図である。

【図8】本発明素子の他の具体例の作製法を示す図である。

【図9】電気回路を形成する光入出力基板の断面図である。

【図10】光入出力基板にも電気回路を形成した実施例の作製法を示す図である。

【図11】受光素子としてp:nフォトダイオードを用

\*いた具体例の断面図である。

【図12】従来例の断面図である。

【図13】従来例の特性図である。

【符号の説明】

101 半導体G a A s 基板

102 選択エッチング用A l A s 層

103 n' - G a A s コンタクト層

104 n - D B R 層

105 活性層

106 p - D B R 層

107 i - G a A s 光吸収層

110 p型電極

111 n型電極

112 ショットキ電極

113 配線用金属

120 p' - G a A s コンタクト層

121 選択エッチングI n G a P 層

122 n' - G a A s コンタクト層

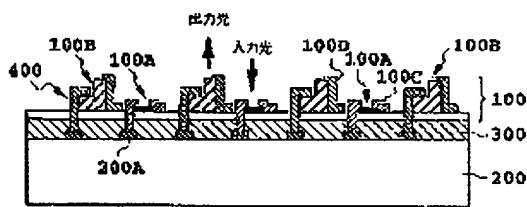
123 n' - G a A s チャネル層

130 p - G a A s 層

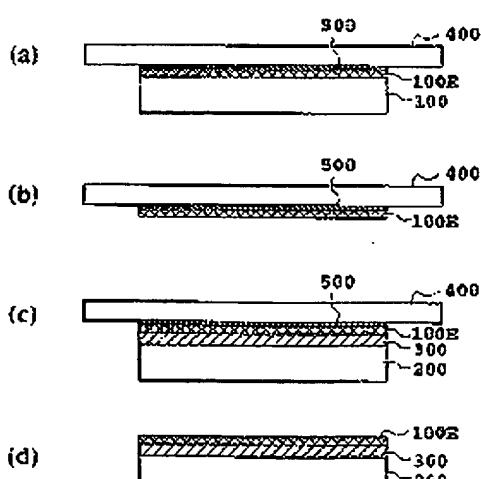
131 n - G a A s 層

132 絶縁膜

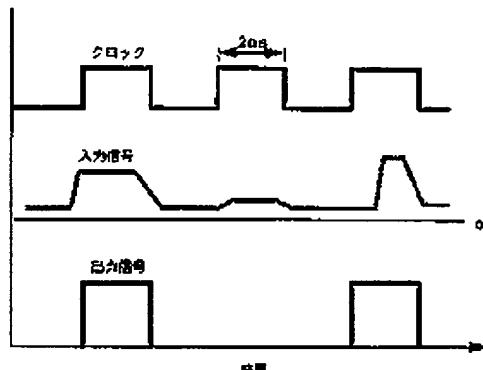
【図1】



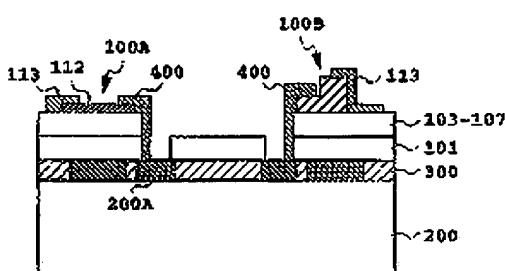
【図6】



【図2】



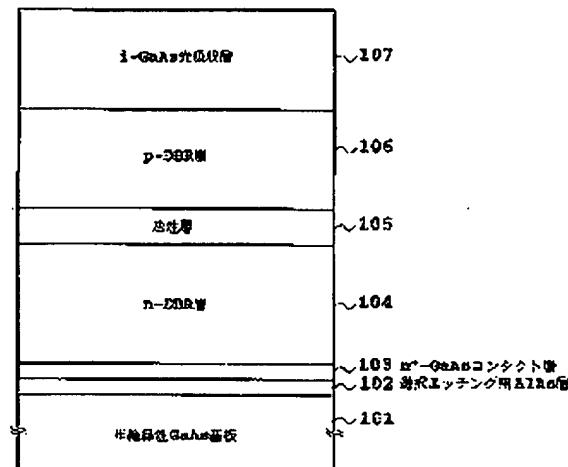
【図7】



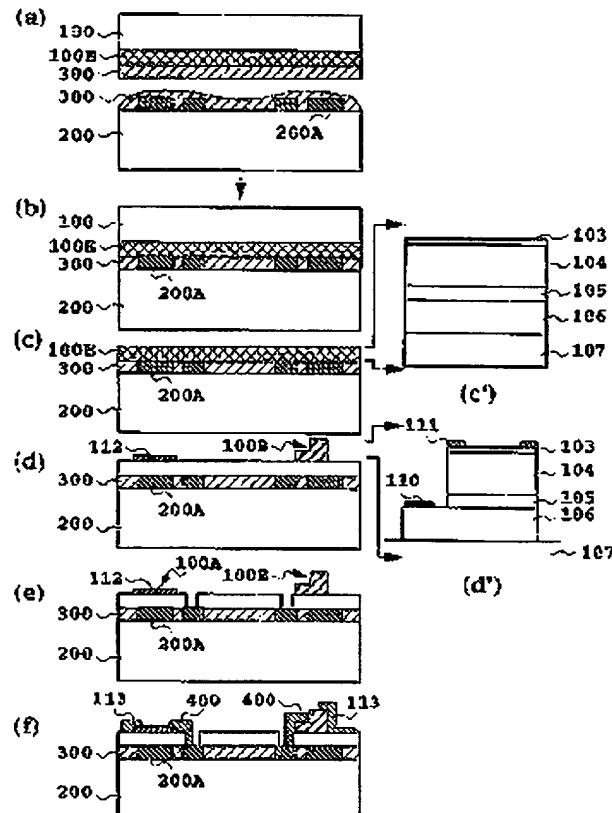
(8)

特開平9-223848

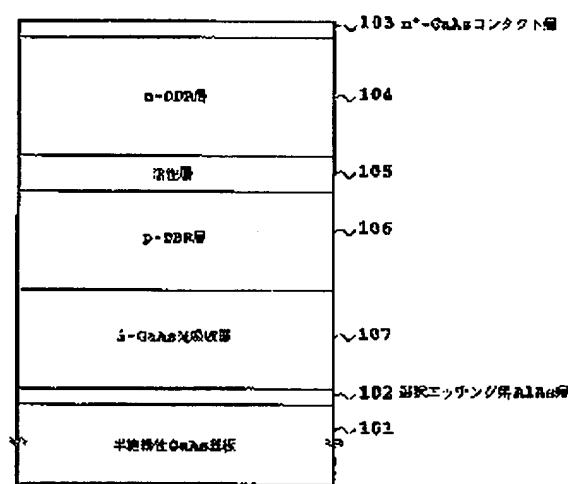
[図3]



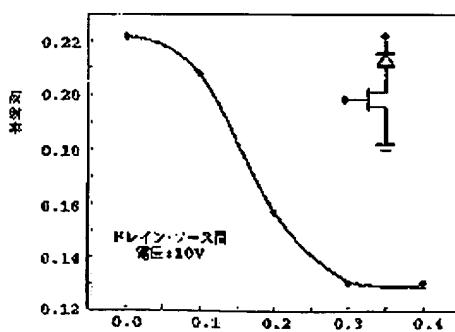
[図4]



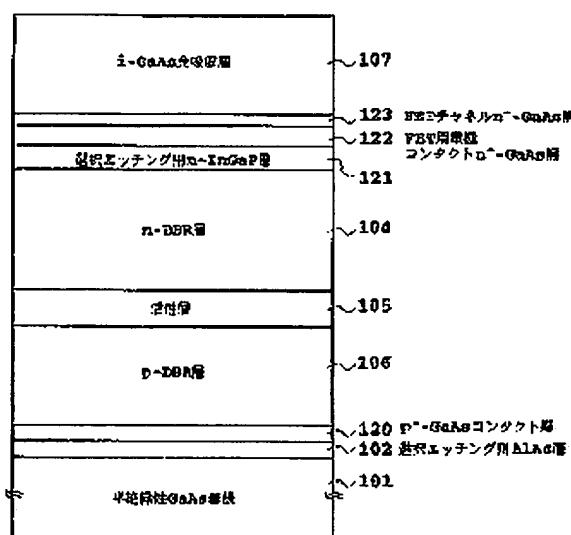
[図5]



[図13]



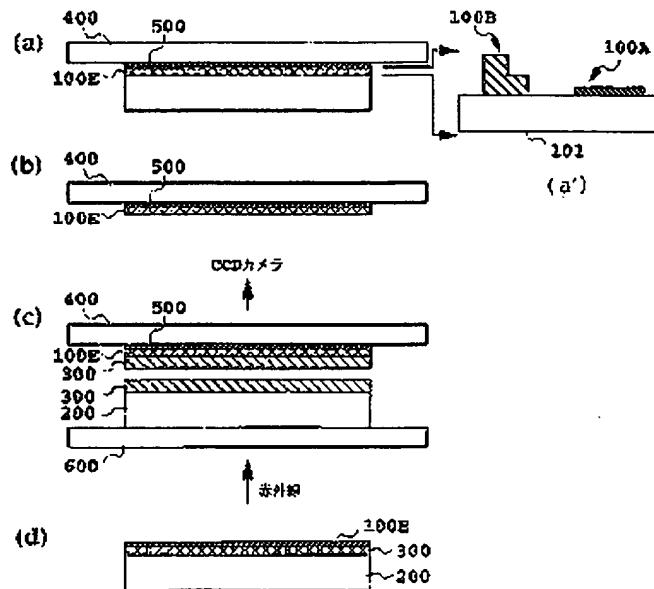
[図9]



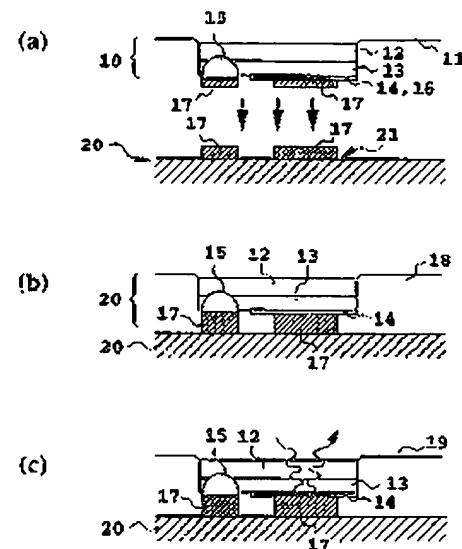
(9)

特開平9-223848

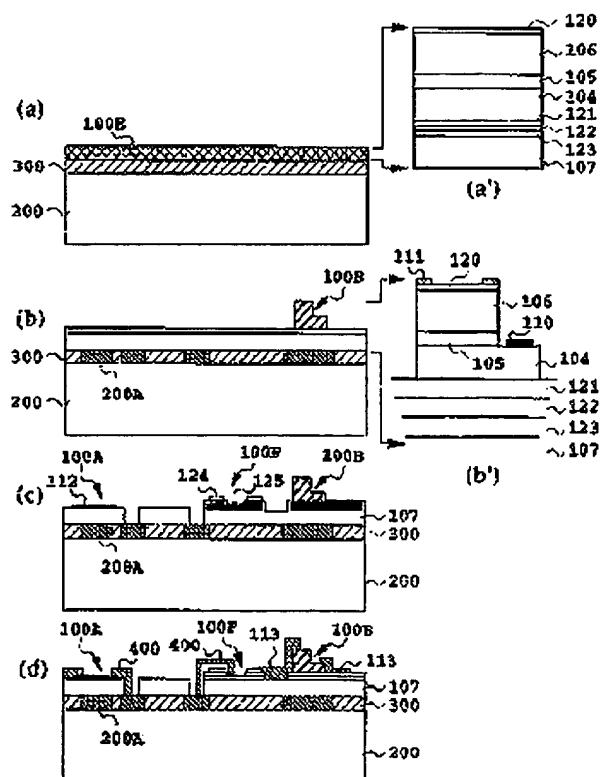
[図8]



[図12]



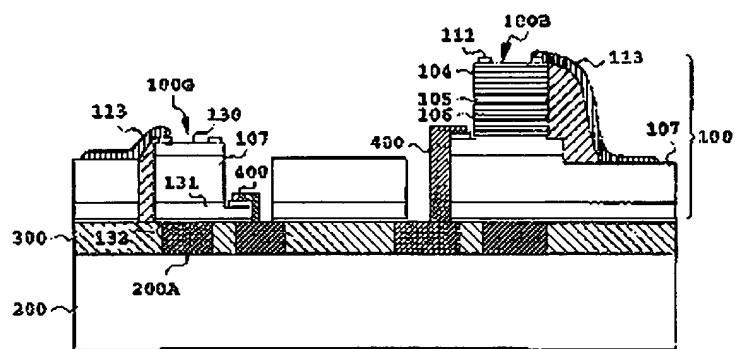
[図10]



(10)

特開平9-223848

[図11]



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**